

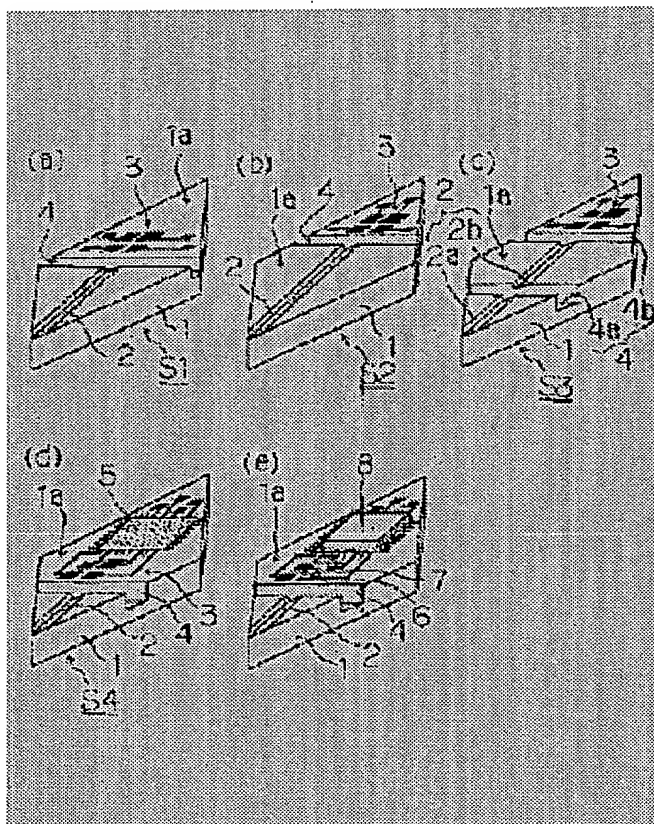
SUBSTRATE FOR PACKAGING OPTICAL PARTS AND OPTICAL MODULE USING THE SAME

Patent number: JP2001242349
Publication date: 2001-09-07
Inventor: NAKAJIMA KEIKO
Applicant: KYOCERA CORP
Classification:
- international: G02B6/42; G02B6/122; H01L31/0232; H01L33/00;
H01S5/022
- european:
Application number: JP20000051678 20000228
Priority number(s): JP20000051678 20000228

Abstract of JP2001242349

PROBLEM TO BE SOLVED: To provide a substrate for packaging optical parts having excellent performance and an optical module with which productivity is improved and the reduction of a size and area may be realized.

SOLUTION: This substrate has grooves 2 for optical waveguides to be disposed with optical waveguides 9 and optical semiconductor element mounting sections 3 to be positioned with respect to the grooves 2 for the optical waveguides on a main surface 1a of the substrate 1, and the main surface 1a of the substrate is formed to a square shape. A longitudinal direction (optical axis direction of the optical waveguides 9) of the grooves 2 for the optical waveguides and the optical semiconductor element mounting sections 3 are positioned on one diagonal line of the main surface 1a. More particularly the substrate S1 for packaging the optical parts formed with a main surface shape of the substrate 1 to a rhombic shape (inclusive of a square shape) is obtained.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-242349

(P2001-242349A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマト* (参考)
G 0 2 B	6/42	G 0 2 B 6/42	2 H 0 3 7
	6/122	H 0 1 L 33/00	N 2 H 0 4 7
H 0 1 L	31/0232		M 5 F 0 4 1
	33/00	H 0 1 S 5/022	5 F 0 7 3
		G 0 2 B 6/12	B 5 F 0 8 8
審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願2000-51678(P2000-51678)

(22) 出願日 平成12年2月28日 (2000.2.28)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 中島 恵子

京都府相楽郡精華町光台3丁目5番地 京

セラ株式会社中央研究所内

Fターム(参考) 2H037 AA01 BA02 BA11 DA01

2H047 KB09 MA05 MA07 TA01 TA47

5F041 AA47 DA13 DA20 EE01 EE25

FF14

5F073 AB15 AB21 AB28 BA02 FA05

FA07 FA13 FA16 FA23

5F088 BA15 BA16 BB01 JA03 JA14

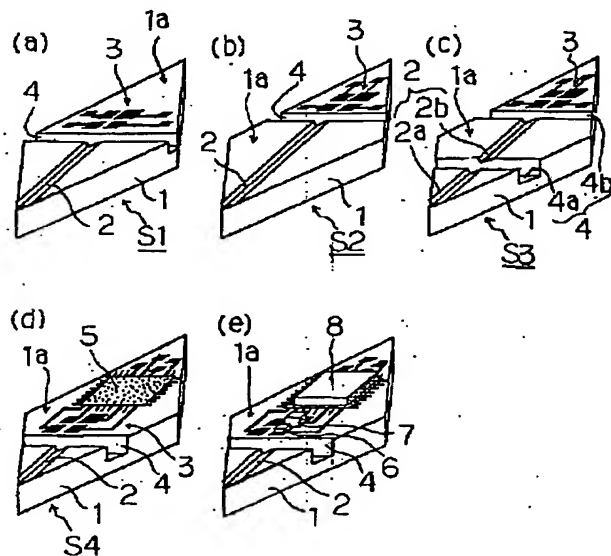
JA20

(54) 【発明の名称】 光部品実装用基板およびそれを用いた光モジュール

(57) 【要約】

【課題】 生産性を向上させ、小型化・小面積化を実現できるだけでなく、性能の優れた光部品実装用基板および光モジュールを提供すること。

【解決手段】 基板1の主面1a上に、光導波体9を配設する光導波体用溝2と光導波体用溝2に対し位置決めされる光半導体素子搭載部3とを備え、基板1の主面1aを四角形状にするとともに、主面1aの1本の対角線上に光導波体用溝2の長手方向（光導波体9の光軸方向）と光半導体素子搭載部3とを位置させるものであり、特に、基板1の主面形状を菱形（正方形を含む）にした光部品実装用基板S1とする。





1

【特許請求の範囲】

【請求項1】 基板の主面上に、光導波体を配設する光導波体用溝と該光導波体用溝に対し位置決めされる光半導体素子搭載部とを備えた光部品実装用基板であって、前記基板の主面を四角形状にするとともに、該主面の1本の対角線上に前記光導波体用溝の長手方向と前記光半導体素子搭載部とを位置させたことを特徴とする光部品実装用基板。

【請求項2】 前記基板の主面を菱形にしたことを特徴とする請求項1に記載の光部品実装用基板。

【請求項3】 基板の主面上に、光導波体を配設する光導波体用溝と該光導波体用溝に対し位置決めされる光半導体素子搭載部とを備えた光部品実装用基板であって、前記基板の主面を三角形形状または台形状にするとともに、該主面の任意の辺に対する垂線上に前記光導波体用溝の長手方向と前記光半導体素子搭載部とを位置させたことを特徴とする光部品実装用基板。

【請求項4】 前記基板の主面を二等辺三角形にしたことを特徴とする請求項3に記載の光部品実装用基板。

【請求項5】 請求項1～4に記載の光部品実装用基板の光導波体用溝に光導波体を、前記光半導体素子搭載部に光半導体素子をそれぞれ配設して成る光モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光ファイバや光導波路などの光導波体と、レーザーダイオードやフォトダイオードなどの光半導体素子とを精度よく光学的に結合させることが可能な光部品実装用基板、および、この基板上に光導波体と光半導体素子とを配設して成る光モジュールに関する。

【0002】

【従来の技術】近年、光通信システムの大容量化および多機能化が求められており、それに伴って光送信器や光受信器などの光デバイスの小型化、集積化、低コスト化が要望されている。

【0003】特に、光デバイスの組み立てコストを削減する目的で、同一の光部品実装用基板上に光ファイバや光半導体素子などの光部品を搭載する技術、いわゆる光ハイブリッド実装技術やシリコンプラットフォームなどの技術が注目されている。

【0004】上記技術によれば、例えば基板上に形成された溝に光ファイバを実装し、同一の基板上に形成された導体パターン（光半導体素子搭載部）に光半導体素子を実装するだけで、光ファイバと光半導体素子とを無調芯で位置合わせすることが可能とされている。

【0005】このような光部品実装用基板の一般的な作製方法について、図7（a）～（h）の製作工程に基づき順に説明する。

【0006】図7（a）に示すように、所定方位を主面とする単結晶シリコンから成る基板71上に、シリコン

(2)

特開2001-242349

2

酸化膜やシリコン窒化膜などの、シリコンのエッチング液に対し耐性を有する膜を被着形成し、光導波体の搭載溝として使用する光導波体用溝の形成用フォトマスクを用い、フォトリソグラフィにより上記膜をパターンニングし、基板71の露出面71aを有した光導波体用溝形成パターン72を得る。

【0007】図7（b）に示すように、光導波体用溝形成パターン72をマスクとして、水酸化ナトリウム（NaOH）や水酸化カリウム（KOH）、水酸化テトラメチルアンモニウム（TMAH）等のアルカリ水溶液から成るエッチング液により、図7（a）における露出面71aをエッチングし、異方性エッチングにより断面V字形状の光導波体用溝73が形成される。

【0008】図7（c）に示すように、図7（b）における光導波体用溝形成パターン72をいったん除去した後に、光導波体用溝73を含む基板71の一主面全体に、熱酸化法又はスパッタ法やプラズマCVD法等により、シリコン酸化膜やシリコン窒化膜などの保護膜74を形成する。

【0009】図7（d）に示すように、後記する電極や光半導体素子の実装用マーカを形成するためのフォトマスクを用いることにより、電極形成領域75や実装用マーカ形成領域76を除く領域にフォトレジスト77を形成する。

【0010】図7（e）に示すように、基板71の一主面側の全面に電極材料となる金（Au）等の金属膜78を蒸着法などにより被着形成する。

【0011】図7（f）に示すように、リフトオフ法により図7（d）における電極形成領域75や実装用マーカ形成領域76を除く領域のフォトレジスト77を除去し、後記する素子搭載部を含む電極パターン79および実装用マーカ80を形成する。

【0012】図7（g）に示すように、電極パターン79の素子搭載部に半田パターン81を塗布形成し、最後に、図7（h）に示すように、ダイシングによりファイバストップ溝82、および基板71の端面71bにおいてダイシング等の切断を行うことにより、光ファイバを実装するための光導波体用溝83、および光半導体素子を実装するための素子搭載部を同一の基板71上に形成した光部品用実装基板Jが完成する（例えば、特開平9-266311号公報を参照）。

【0013】

【発明が解決しようとする課題】これらの光部品実装用基板は、一枚のウエハ上の多数領域に区分形成された後に、個々の基板に分断して得られるので、光部品実装用基板一個当たりのコストはウエハ一枚での取れ数に大きく依存する。

【0014】従来、光導波体用溝および光半導体素子搭載部は、主面形状が長方形を成す基板の長辺に沿って作製されている。このような基板の形状および大きさで

は、基板の小型化によるウエハ一枚あたりの取れ数増大には限界があり、それを用いる光モジュールの生産性にも限界があった。

【0015】また、従来の光部品実装用基板をパッケージ内に收容して光モジュールを構成する場合に、パッケージに位置合わせマーカを設けて、そのマーカと光部品実装用基板の位置合わせを目視で行う場合、この位置合わせに時間を要したり、パッケージと光部品実装用基板の中心軸を高精度に合わせるのが困難である。また、光部品実装用基板の幅部分を嵌めるように成したパッケージの場合には、この幅部分が正確に合わない光部品実装用基板の中心軸が所定位置からずれることがある。さらに、パッケージ側に正確な嵌め込み部分を作製することは困難であった。したがって、光部品実装用基板の位置合わせが面倒であるだけでなく、そのパッケージに対する位置合わせが正確に行われずに性能の悪い光モジュールが製作されることがあった。

【0016】そこで本発明は、光部品実装用基板および光モジュールの生産性を向上させ、小型化・小面積化を実現することができるだけでなく、性能の優れた光部品実装用基板および光モジュールを提供することを目的とする。

【0017】

【課題を解決するための手段】上記課題を解決するために、本発明の光部品実装用基板は、基板の主面上に、光導波体を配設する光導波体用溝と光導波体用溝に対し位置決めされる光半導体素子搭載部とを備え、基板の主面を四角形状にするとともに、主面の1本の対角線上に光導波体用溝の長手方向（光導波体の光軸方向）と光半導体素子搭載部とを位置させるものであり、特に、基板の主面形状を菱形（正方形を含む）にしたことを特徴とする。

【0018】また、基板の主面を三角形または台形状にするとともに、主面のいずれかの辺の垂線上に光導波体用溝の長手方向と光半導体素子搭載部とを位置させた。ここで、特に、三角形が二等辺三角形（正三角形を含む）であることを特徴とする。

【0019】また、本発明の光モジュールは、上記各種態様の基板の光導波体用溝に光導波体を、光半導体素子搭載部に光半導体素子をそれぞれ配設して成る。

【0020】ここで、光導波体とは光が導波する構成のものであればよく、例えば光ファイバやその外周をフェルールで包囲してなるファイバスタブやその他の光導波路体を含むものとする。また、光半導体素子とはいわゆる発光素子や受光素子をいうものとする。また、光半導体素子搭載部とは、光半導体素子が搭載される領域をいい、光半導体素子の下面に形成される導体（電極）パターンや下地接着層を含まない領域もさすものとする。

【0021】

【発明の実施の形態】以下、本発明の実施形態について

図面に基づき詳細に説明する。同一部材には同一符号を付し重複する説明を省略する。

【0022】本発明の光部品実装用基板を作製する場合、従来の方法を変更する必要は無く、例えば図7で説明した作製方法をそのまま用いることができる。その際、図7(h)において、例えばダイシングによりファイバストップ溝82、および基板の端面において切断を行うことになる。このダイシングは、基板上にあらかじめ作り込まれたダイシング用マーカを目印として行われるため、このマーカを菱形、三角形など所望形状にしガイドとなるようにする。また、このマーカは、溝、電極、絶縁膜や基板段差など、画像認識できるものであれば利用可能であり、特に溝を利用する場合は光導波体搭載用溝と、電極を利用する場合は光半導体素子搭載用電極と、それぞれ同時に作製することができる。

【0023】次に、光部品実装用基板の主面形状の各種態様について説明する。

【0024】図1(a)に示すように、基板1の主面1aを菱形状（正形状を含む）にする場合、例えば菱形内に形成可能な2本の対角線うち一方の対角線の上に光導波体用溝2を設け、光導波体用溝2の延長線に対し直交する方向（垂直方向）に光導波体を当接させるストップ溝4を設けることにより、基板1つ当たりの溝入れおよび基板切り分け加工（ダイシング）回数を増加させることなく、ウエハ1枚あたりの基板の取れ数は基板主面の形状が長方形の場合と比較して倍増させることができる。

【0025】例えば、3インチウエハを使用し8mm×3mmの大きさの基板を作製する場合、従来の基板主面が長方形では、ウエハ1枚当たり160個の基板作製しかできない。

【0026】一方、基板主面の形状を本発明による8mm×3mmの対角線を有する菱形にした場合、3インチウエハ1枚当たり325個の基板作製が可能となり、ウエハ1枚当たりの取れ数は上記の倍以上となる。なお、特に菱形が60°と120°の角度を有するものであればウエハから好適に取ることが可能である。

【0027】また、本発明によれば光部品実装用基板に搭載される光半導体素子は、基板面積の広い中心部付近（光素子搭載部3）に実装されるため、光半導体素子で発生した熱がこもることなく、放熱性はほぼ従来の状態を保つことができる。

【0028】また、図1(a)に示すように、菱形の対角線の上にストップ溝4を設けた光部品実装用基板S1とすることもできるし、図1(b)に示すように、光導波体用溝2の設けられた対角線上の例えば1/4の位置を横切るストップ溝4を設けた光部品実装用基板S2とすることもできる。これらの場合、基板1に存在するストップ溝4は1本としている。

【0029】また、図1(c)に示すように、光導波体

用溝 2 が設けられた対角線上の任意の場所にストッパ溝 4 (4 a、4 b) を設けた光部品実装用基板 S 3 とすることができる。この場合、基板 1 に存在するストッパ溝 4 は 2 本となるが、他の一本が光導波体用溝 2 を横切ることには何ら問題はなく、このストッパ溝 4 を光導波体をガラス板で抑えて固定する際に用いる接着材の逃げ溝として利用することもできる。

【0030】また、図 1 (d) に示すように、光半導体素子を駆動するため駆動回路素子搭載部 5 を形成し、駆動回路素子が一体となった駆動回路一体型の光部品実装用基板 S 4 とすることも可能である。図 1 (e) に、この駆動回路一体型の光部品実装用基板 S 4 の主面 1 a に、光半導体素子 (発光素子 6、モニター用受光素子 7) および駆動回路素子である IC 8 を搭載した際の様子を示す。

【0031】また、図 2 (a)、(b) に示すように、基板 1 の主面 1 a の形状を三角形とした光部品実装用基板 S 5 としてもよい。なお、基板 1 の主面を台形状にすることもできる。主面 1 a がいずれの形状の場合において、主面 1 a のいずれかの辺 (図 2 (a) では 1 a) に対する垂線上に光導波体用溝 2 の長手方向と光半導体素子搭載部 3 とを位置させた。

【0032】ここで、特に、三角形が二等辺三角形 (正三角形を含む) の場合においても、8 mm×3 mm の大きさの基板を作製する際、8 mm の垂線と 3 mm の底辺を持つ三角形であれば、基板の取れ数は従来 (長方形の場合) の 160 個から 325 個となる。垂線の長さを 6 mm とすると、前記基板は 448 個の作製が可能となる。

【0033】光半導体素子 (発光素子 6、受光素子 7) や駆動回路素子 (IC 8) は基板面積の広い三角形の底辺 (1 b) 側に実装されるため、上記の菱形の場合と同様に、光半導体素子で発生した熱がこもることなく、放熱性はほぼ従来の状態を保てる。

【0034】また、溝入れ加工についても、上記菱形の場合と同様に任意に位置を変化させることができる。

【0035】上記三角形の光部品実装用基板 S 2 に、光導波体用溝 2 に光導波体である光ファイバ 9 を実装し、光半導体素子搭載部に、発光素子 6 およびこの発光素子 6 のモニター用の受光素子 7 を実装した光モジュール M 1 を図 3 に示す。かくして性能の非常に優れた光モジュールを提供することができる。

【0036】図 4 に示すように、ウエハ W において切り取る基板の主面を三角形にする場合、3 本の基板切り分け用ダイシングライン D 1 ~ D 3 のうち、作製させる光導波体用溝の延長線に対し直交するダイシングライン D 3 の溝を広くすることにより、個々の切り取られる基板の主面の形状を三角形の頂点をなくした台形状とすることができる。この場合、三角形の角の一つが削られることで、さらに小型化を実現することができ、角部にお

ける欠けの心配がなく取扱上も好ましい。

【0037】また、このようにしてダイシングラインを太くすることで作製した光部品実装用基板 S 6 を図 5 に示す。この光部品実装用基板 S 6 によれば、ダイシングにより形成された台形の辺部 1 c をパッケージ内に収める際の付き当て面に利用することもできる。

【0038】また、本発明による光部品実装用基板 (または光モジュール) をパッケージに固定する際、図 6

(a) に示すように、光導波体を位置させる基板の両側面 1 d、1 e をガイド面とし、あらかじめパッケージ P 1 に作製した位置合わせ用突起 22 (22 a ~ 22 d) や、図 6 (b) に示すように、位置合わせ用凸部 23

(23 a、23 b) などに基板 1 のガイド面 1 d、1 e を当接させるだけで、光導波体用溝 2 の中心軸 (または光ファイバ 9 の光軸) とパッケージ P 1、P 2 における所定の軸 (中心軸) に対して左右にずれることなく、高精度な位置合わせを実現させることができる。さらに、位置ずれにより光導波体 9 等に対し不要な曲げ応力などを発生させることがないので、ロスや破断のない良好な光接続を実現させることができる。なお、光ファイバ 9 は図示を簡単にするため、パッケージ P 1 の一端 21 側を省略している。

【0039】どのような光部品実装用基板の作製方法においても、光半導体素子を搭載する電極部の形状を工夫することで、本発明を適用し、基板形状を変更することは可能である。すなわち、基板形状を変形することで光導波体用溝はその長さ・幅とも変更の必要はないが、電極形状は変更が必要になる場合がある。そのような場合に、電極形状を工夫するだけで他を変更することなく対応が可能となる。

【0040】また、本発明における光部品実装用基板はシリコン単結晶以外に、GaAs 単結晶、水晶、樹脂、セラミックスなどでも使用可能であるが、光導波体用溝を異方性エッチングにより位置精度良く形成しやすい点でシリコン単結晶を採用することが最も好ましい。

【0041】

【発明の効果】以上詳述したように、本発明の光部品実装用基板およびそれを用いた光モジュールによれば、従来の基板製造方法を変更することなく、また基板一つの作製に要する工程数を増加させることなく、基板の小型化・小面積化を可能とし、しかもウエハ一枚当たりの基板の取れ数を大幅に増大させることができ、生産性を著しく向上させることができる。

【0042】また、光半導体素子を基板主面の広い領域に搭載させることが可能であるので、光半導体素子から発生する熱に対し従来の放熱性を維持しつつ、小型化・小面積化を実現した光部品実装用基板を提供することができる。

【0043】また、光導波体と光半導体素子が精度良く光結合される上、基板をパッケージに固定する際の位置

決めは基板の辺部や角部を利用できるので、基板の固定も高精度に行うことができ、性能の非常に優れた光モジュールを提供することができる。

【図面の簡単な説明】

【図1】(a)～(e)は、それぞれ本発明に係わる光部品実装用基板の実施形態を模式的に説明する斜視図である。

【図2】(a)および(b)は、本発明に係わる光部品実装用基板の他の実施形態を模式的に説明する斜視図である。

【図3】本発明に係わる光モジュールの実施形態を模式的に説明する斜視図である。

【図4】ウェハから多数の基板を切り取る際のダイシングラインを模式的に説明する上面斜視図である。

【図5】本発明に係わる光部品実装用基板の他の実施形態を模式的に説明する斜視図である。

【図6】(a)、(b)は、それぞれ光モジュールをパ

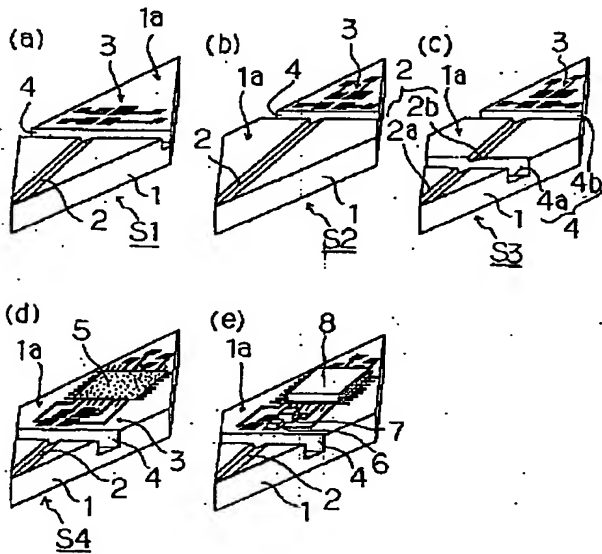
ッケージに位置合わせ搭載する様子を模式的に説明する斜視図である。

【図7】(a)～(h)は、それぞれ従来の光デバイス実装基板の作製工程を説明する平面図である。

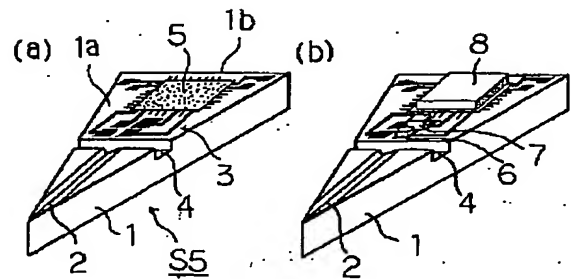
【符号の説明】

- 1：基板
- 2：光導波体用溝
- 3：光半導体素子搭載部
- 4：ストップ溝
- 5：駆動回路素子搭載部
- 6：発光素子
- 7：受光素子
- 8：IC
- 9：光導波体（光ファイバ）
- S1～S6：光部品実装用基板
- M1：光モジュール
- P1、P2：パッケージ

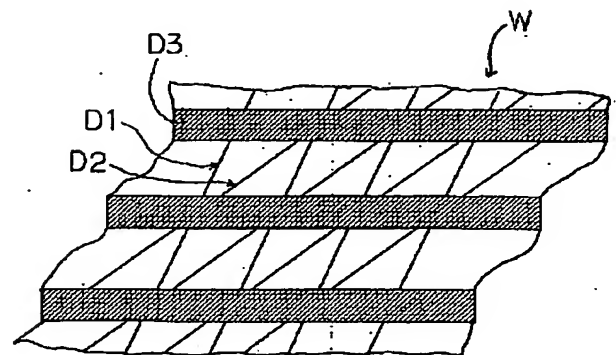
【図1】



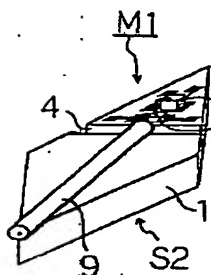
【図2】



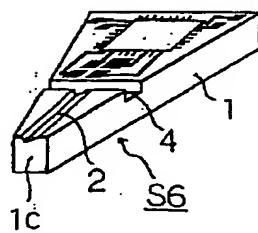
【図4】



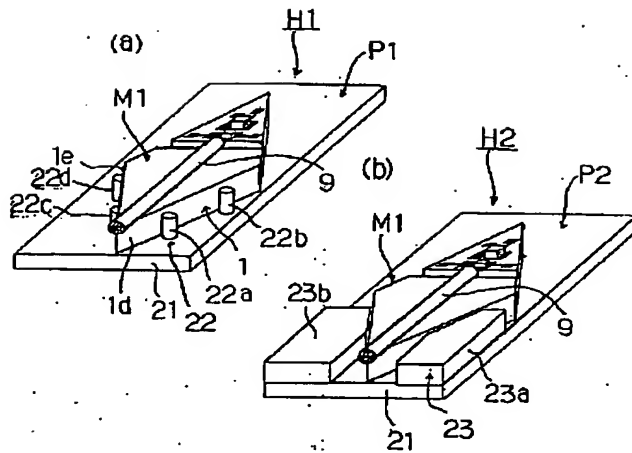
【図3】



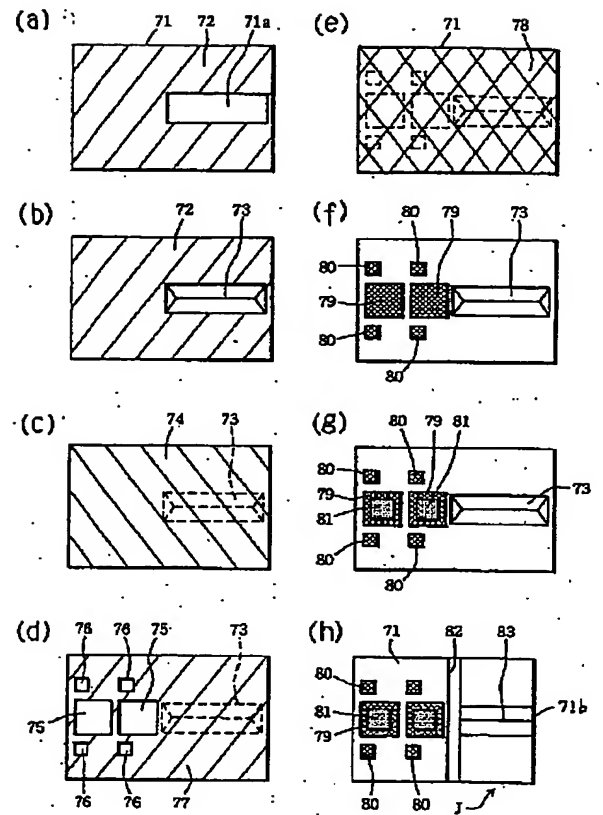
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl.⁷

H01S 5/022

識別記号

FI

H01L 31/02

テラコト (参考)

C

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.